

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 9月20日

出 願 番 号
Application Number:

特願2002-274432

[ST.10/C]:

[JP2002-274432]

出 願 人
Applicant(s):

インターナショナル・ビジネス・マシーンズ・コーポレーション

2003年 6月19日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3048218

【書類名】 特許願
【整理番号】 JP020166
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/10
【発明者】

【住所又は居所】 滋賀県野洲郡野洲町大字市三宅 8 0 0 番地 日本アイ・
ビー・エム株式会社 野洲事業所内

【氏名】 細川 浩二

【発明者】

【住所又は居所】 滋賀県野洲郡野洲町大字市三宅 8 0 0 番地 日本アイ・
ビー・エム株式会社 野洲事業所内

【氏名】 森 陽太郎

【特許出願人】

【識別番号】 390009531

【氏名又は名称】 インターナショナル・ビジネス・マシーンズ・コーポレ
ーション

【代理人】

【識別番号】 100086243

【弁理士】

【氏名又は名称】 坂口 博

【連絡先】 0 4 6 - 2 1 5 - 3 3 1 8、3 3 2 5、3 4 5 5

【選任した代理人】

【識別番号】 100091568

【弁理士】

【氏名又は名称】 市位 嘉宏

【選任した代理人】

【識別番号】 100108501

【弁理士】

【氏名又は名称】 上野 剛史

【手数料の表示】

【予納台帳番号】 024154

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9706050

【包括委任状番号】 9704733

【包括委任状番号】 0207860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 DRAM回路とその動作方法

【特許請求の範囲】

【請求項 1】 一列に並ぶ複数のセンスアンプと、

前記複数のセンスアンプの各々に接続するビットライン対と、

前記ビットライン対を構成するビットラインの各々に接続するメモリセルを含み、

前記ビットライン対および前記メモリセルは、前記一列に並ぶセンスアンプの N 個（N：自然数）ごとに、前記センスアンプの右側（上側）と左側（下側）に交互に配置されることを特徴とする、DRAM回路。

【請求項 2】 前記センスアンプの右側（上側）または左側（下側）の一方の側に配置されるビットライン対は、各ビットライン対を構成する 2 つのビットラインが交差し、その交差を境に当該 2 つのビットラインの間隔が広狭する、請求項 1 記載のDRAM回路。

【請求項 3】 さらに、前記センスアンプの右側（上側）または左側（下側）の前記一方の側と反対の側に配置されるビットライン対は、各ビットライン対を構成する 2 つのビットラインが交差することなく途中で間隔が広狭する、請求項 2 記載のDRAM回路。

【請求項 4】 前記センスアンプの右側（上側）または左側（下側）の一方の側に配置されるビットライン対はいずれも、ビットスイッチを介して対応するデータラインに接続する、請求項 1 記載のDRAM回路。

【請求項 5】 前記一列に並ぶ複数のセンスアンプは、M 個（M：自然数）ごとに分割され、その分離エリアにセットドライバが配置される、請求項 1 記載のDRAM回路。

【請求項 6】 前記ビットライン対は、マルチプル・ツイステッド・ビット・ライン（MTBL）方式のビットライン構成をからなる、請求項 3 記載のDRAM回路。

【請求項 7】 一列に P 個ずつ Q 列にわたって配置される複数のセンスアンプと

前記複数のセンスアンプの各々に接続するビットライン対と、

前記ビットライン対を構成するビットラインの各々に接続するメモリセルを含み、

前記ビットライン対および前記メモリセルは、前記Q列の各一列に並ぶセンスアンプのN個（N：自然数）ごとに、センスアンプの右側（上側）と左側（下側）に交互に配置され、P、Qはいずれも3以上の整数、Nは1以上（ $P/3$ ）以下の任意の整数であることを特徴とする、DRAM回路。

【請求項8】 一列にP個ずつQ列にわたって配置される複数のセンスアンプSA（J、K）と、

前記複数のセンスアンプSA（J、K）の各々に接続するビットライン対と、
前記ビットライン対を構成するビットラインの各々に接続するメモリセルを含み、

センスアンプSA（J、K）は、一方の隣の列のセンスアンプSA（J、K-1）または他方の隣の列のセンスアンプSA（J、K+1）との間に配置されるビットライン対に接続し、

センスアンプSA（J+1、K）は、一方の隣の列のセンスアンプSA（J+1、K+1）または他方の隣の列のセンスアンプSA（J+1、K-1）との間に配置されるビットライン対に接続し、

センスアンプSA（J+3、K）は、一方の隣の列のセンスアンプSA（J+2、K-1）または他方の隣の列のセンスアンプSA（J+2、K+1）との間に配置されるビットライン対に接続し、

P、Qはいずれも3以上の整数、Jは1以上P以下の任意の整数、Kは1以上Q以下の任意の整数である、ことを特徴とするDRAM回路。

【請求項9】 前記センスアンプSA（J、K）とその隣の列のセンスアンプSA（J、K+1）またはSA（J、K-1）のいずれか一方の間に配置されるビットライン対は、ビットライン対を構成する2つのビットラインが交差し、その交差を境に当該2つのビットラインの間隔が広狭する、請求項8記載のDRAM回路。

【請求項10】 さらに、前記センスアンプSA（J、K）とその隣の列のセン

スアンプ $SA(J, K+1)$ または $SA(J, K-1)$ の前記一方の間と反対の間に配置されるビットライン対は、ビットライン対を構成する 2 つのビットラインが交差することなく途中で間隔が広狭する、請求項 9 記載の DRAM 回路。

【請求項 1 1】 前記センスアンプ $SA(J, K)$ とその隣の列のセンスアンプ $SA(J, K+1)$ または $SA(J, K-1)$ のいずれか一方の間に配置されるビットライン対は、いずれもビットスイッチを介して対応するデータラインに接続する、請求項 8 記載の DRAM 回路。

【請求項 1 2】 前記一行に P 個ずつ配置される複数のセンスアンプは、 M 個 (M : 自然数) ごとに分割され、その分離エリアにセットドライバーが配置される、請求項 8 記載の DRAM 回路。

【請求項 1 3】 前記ビットライン対は、マルチプル・ツイステッド・ビット・ライン (MTBL) 方式のビットライン構成をからなる、請求項 1 0 記載の DRAM 回路。

【請求項 1 4】 一行に P 個ずつ Q 列にわたって配置される複数のセンスアンプ $SA(J, K)$ と、

前記複数のセンスアンプ $SA(J, K)$ の各々に接続するビットライン対と、
前記ビットライン対を構成するビットラインの各々に接続するメモリセルを含み、

センスアンプ $SA(J, K)$ とセンスアンプ $SA(J+1, K)$ の各々は、一方の隣の列のセンスアンプ $SA(J, K-1)$ とセンスアンプ $SA(J+1, K-1)$ または他方の隣の列のセンスアンプ $SA(J, K+1)$ とセンスアンプ $SA(J+1, K+1)$ との間に配置されるビットライン対の各々に接続し、

センスアンプ $SA(J+2, K)$ とセンスアンプ $SA(J+3, K)$ の各々は、一方の隣の列のセンスアンプ $SA(J+2, K+1)$ とセンスアンプ $SA(J+3, K+1)$ または他方の隣の列のセンスアンプ $SA(J+2, K-1)$ とセンスアンプ $SA(J+3, K-1)$ との間に配置されるビットライン対に接続し、

センスアンプ $SA(J+4, K)$ とセンスアンプ $SA(J+5, K)$ の各々は、一方の隣の列のセンスアンプ $SA(J+4, K-1)$ とセンスアンプ $SA(J$

+ 5、 $K - 1$) または他方の隣の列のセンスアンプ $SA(J + 4, K + 1)$ とセンスアンプ $SA(J + 4, K + 1)$ との間に配置されるビットライン対の各々に接続し、

P 、 Q はいずれも 6 以上の整数、 J は 1 以上 P 以下の任意の整数、 K は 1 以上 Q 以下の任意の整数である、ことを特徴とする DRAM 回路。

【請求項 15】 一列に並ぶ複数のセンスアンプと、

前記複数のセンスアンプの各々に接続するビットライン対と、

前記ビットライン対を構成するビットラインの各々に接続するメモリセルを含み、

前記ビットライン対および前記メモリセルは、前記一列に並ぶセンスアンプの N 個 (N : 自然数) ごとに、前記センスアンプの右側 (上側) と左側 (下側) に交互に配置される DRAM 回路の動作方法であって、

データ読み出しの際に、前記センスアンプの右側 (上側) に配置されるビットライン対およびメモリセルに接続する複数のセンスアンプと、前記センスアンプの左側 (下側) に配置されるビットライン対およびメモリセルに接続する複数のセンスアンプは、異なるタイミングで活性化することを特徴とする、DRAM 回路の動作方法。

【請求項 16】 一列に P 個ずつ Q 列にわたって配置される複数のセンスアンプと、

前記複数のセンスアンプの各々に接続するビットライン対と、

前記ビットライン対を構成するビットラインの各々に接続するメモリセルを含み、

前記ビットライン対および前記メモリセルは、前記 Q 列の各一列に並ぶセンスアンプの N 個 (N : 自然数) ごとに、センスアンプの右側 (上側) と左側 (下側) に交互に配置され、 P 、 Q はいずれも 3 以上の整数、 N は 1 以上 ($P / 3$) 以下の任意の整数である、DRAM 回路の動作方法であって、

データ読み出しの際に、前記センスアンプの右側 (上側) に配置されるビットライン対およびメモリセルに接続する複数のセンスアンプと、前記センスアンプの左側 (下側) に配置されるビットライン対およびメモリセルに接続する複数の

センスアンプは、異なるタイミングで活性化することを特徴とする、DRAM回路の動作方法。

【請求項 1 7】 一列に P 個ずつ Q 列にわたって配置される複数のセンスアンプ $SA(J, K)$ と、

前記複数のセンスアンプ $SA(J, K)$ の各々に接続するビットライン対と、
前記ビットライン対を構成するビットラインの各々に接続するメモリセルを含み、

センスアンプ $SA(J, K)$ は、一方の隣の列のセンスアンプ $SA(J, K-1)$ または他方の隣の列のセンスアンプ $SA(J, K+1)$ との間に配置されるビットライン対の各々に接続し、

センスアンプ $SA(J+1, K)$ は、一方の隣の列のセンスアンプ $SA(J+1, K+1)$ または他方の隣の列のセンスアンプ $SA(J+1, K-1)$ との間に配置されるビットライン対に接続し、

センスアンプ $SA(J+3, K)$ は、一方の隣の列のセンスアンプ $SA(J+2, K-1)$ または他方の隣の列のセンスアンプ $SA(J+2, K+1)$ との間に配置されるビットライン対の各々に接続し、

P, Q はいずれも 3 以上の整数、 J は 1 以上 P 以下の任意の整数、 K は 1 以上 Q 以下の任意の整数である、DRAM回路の動作方法であって、

データ読み出しの際に、前記センスアンプ $SA(J, K)$ および前記センスアンプ $SA(J+3, K)$ と、前記センスアンプ $SA(J+1, K)$ は、異なるタイミングで活性化することを特徴とする、DRAM回路の動作方法。

【請求項 1 8】 一列に P 個ずつ Q 列にわたって配置される複数のセンスアンプ $SA(J, K)$ と、

前記複数のセンスアンプ $SA(J, K)$ の各々に接続するビットライン対と、
前記ビットライン対を構成するビットラインの各々に接続するメモリセルを含み、

センスアンプ $SA(J, K)$ とセンスアンプ $SA(J+1, K)$ の各々は、一方の隣の列のセンスアンプ $SA(J, K-1)$ とセンスアンプ $SA(J+1, K-1)$ または他方の隣の列のセンスアンプ $SA(J, K+1)$ とセンスアンプ S

A (J + 1, K + 1) との間に配置されるビットライン対の各々に接続し、

センスアンプ S A (J + 2, K) とセンスアンプ S A (J + 3, K) の各々は、一方の隣の列のセンスアンプ S A (J + 2, K + 1) とセンスアンプ S A (J + 3, K + 1) または他方の隣の列のセンスアンプ S A (J + 2, K - 1) とセンスアンプ S A (J + 3, K - 1) との間に配置されるビットライン対に接続し、

センスアンプ S A (J + 4, K) とセンスアンプ S A (J + 5, K) の各々は、一方の隣の列のセンスアンプ S A (J + 4, K - 1) とセンスアンプ S A (J + 5, K - 1) または他方の隣の列のセンスアンプ S A (J + 4, K + 1) とセンスアンプ S A (J + 5, K + 1) との間に配置されるビットライン対の各々に接続し、

P、Q はいずれも 6 以上の整数、J は 1 以上 P 以下の任意の整数、K は 1 以上 Q 以下の任意の整数である、DRAM 回路の動作方法であって、。

データ読み出しの際に、前記センスアンプ S A (J, K) と前記センスアンプ S A (J + 1, K) と前記センスアンプ S A (J + 4, K) と前記センスアンプ S A (J + 5, K) は、前記センスアンプ S A (J + 2, K) および前記センスアンプ S A (J + 3, K) と、異なるタイミングで活性化することを特徴とする、DRAM 回路の動作方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、一般的には、DRAM 回路およびその動作方法に関し、より詳細には、DRAM アレイにおけるセンスアンプおよびその周辺回路の配置、そのセンスアンプの動作に関する。

【0002】

【従来の技術】

DRAM では、プロセス・テクノロジーの進歩に伴いビット・ライン間の間隔が狭まり、干渉雑音の増加が問題となっている。ここで言う干渉雑音とはビットライン線間の結合容量に起因する雑音をいう。この干渉雑音には、同一のセンスアン

プに接続するビットライン間の干渉雑音と隣接するビットラインのうち異なるセンスアンプに接続するビットライン間の干渉雑音がある。

【 0 0 0 3 】

その干渉雑音の問題を解決するための従来技術としてツイスト・ビット・ライン (Twisted Bit Line) 方式(以下、TBL方式という。)がある。このTBL方式に関係する公知文献としては、例えば、日本国の公開特許公報、平2-183489、平4-94569、平7-94597、2001-168300がある。図1はIBM社のエンベデッド (Embedded) DRAM (以下、eDRAMという。) で用いられているTBL方式の概念図である (公知文献: ISSCC 2002 Digest of Technical Papers pp. 156-157)。図1では、各ビットライン対 (BL0t、BLtc) ~ (BL3t、BL3c) は途中で交差しながらセンスアンプ(SA)およびビットスイッチ(BSW)に接続している。このビットラインの交差により、隣接するビットラインのうち異なるセンスアンプに接続するビットライン (例えば、BL0ccとBL1t) 間の干渉雑音は減少する。ビットライン (例えば、BL0ccとBL1t) の間隔が交差を境に変化 (広狭) するからである。

【 0 0 0 4 】

しかし、図1の方式では、同一のセンスアンプに接続するビットライン間の干渉雑音は減少しないという問題がある。ビットライン (例えば、BL0tcとBL0c) の間隔が交差を境に変化しないからである。また、ビットライン交差が縦方向に見て3箇所あり、そのエリアが高密度化を妨げるという問題がある。ビットライン交差がある所ではメモリセルの接続ができないからである。そのエリア損失は一交差でおおよそ2セル分になる。この3箇所のビットライン交差のために、読み出し動作に必要なレファレンス・ワードライン (RFLW0-4) が4本必要になり、このエリアも高密度化を妨げるという問題がある。なお、レファレンス・ワードライン (RFLW0-4) を必要としない例えば (1/2) Vddプリチャージ方式のDRAMでは、このレファレンス・ワードライン (RFLW0-4) に係わる問題は起こらない。

【 0 0 0 5 】

干渉雑音の問題を解決するの他の従来技術としてマルチ・ツイスト・ビット・ライン (Multiple Twisted Bit Line) 方式 (以下、MTBL方式という。) がある。図2にMTBL方式の例を示す (公知文献: IEEE JSSC vol 34, No 6, pp. 856-86

5 June 1999)。図 2 の方式では、ビットライン対 (BL1t、BL1c) は、各々途中 1 個所で交差し、その交差を境にビットラインの間隔が広がっている。ビットライン対 (BL3t、BL3c) も同様である。また、ビットライン対 (BL0t、BL0c) は、互いに交差することなく、途中でビットラインの間隔が広がっている。ビットライン対 (BL2t、BL2c) も同様である。したがって、図 2 の MTBL 方式では、同一のセンスアンプに接続するビットライン (例えば、BL1t と BL1c) と隣接するビットラインのうち異なるセンスアンプに接続するビットライン (例えば、BL0c と BL1c) のいずれの場合も、そのビットラインの間隔が交差点前後で変化 (広狭) している。よって、隣接するいずれのビットライン間の干渉雑音も減少する。この点、図 2 の MTBL 方式は図 1 の TBL 方式よりも優れている。

【 0 0 0 6 】

また、図 2 の方式ではビットライン交差は 1 個所である。さらに、レファレンス・ワードライン (RFL0,1) は 2 本で済む。したがって、図 2 の MTBL 方式は、図 1 の TBL 方式に比べて、エリアの改善効果もある。

【 0 0 0 7 】

しかし、図 2 の MTBL 方式の場合、センスアンプ (SA) とビットスイッチ (BSW) が、アレーの両サイドに必要であり、それがエリアの損失になる。例えば、eDRAM の場合、図 3 に示すように、図 2 の構成をマクロとして積み上げて構成される。したがって、図 4 に示すように、アレーの上下で、センスアンプ (SA) とビットスイッチ (BSW) の重複が生じ、その分エリアが奪われ、高密度化の妨げになるという問題がある。例えば、図 3 に示す 1 Mb の DRAM を 16 個積み上げた 16 Mb の eDRAM の場合、センスアンプ (SA) とビットスイッチ (BSW) の高さ 35 マイクロメートルの 15 個分の約 525 マイクロメートルのエリアが余計に使われてしまう。

【 0 0 0 8 】

【発明が解決しようとする課題】

本発明は上記した従来技術の問題点を解消するためになされたものであり、その目的はビットライン間の干渉雑音を減少させた DRAM を提供することである。

【 0 0 0 9 】

さらに、本発明の目的は、ビットライン間の干渉雑音を減少させると共に高密

度なDRAMを適用することである。

【0 0 1 0】

さらに、本発明の目的は、ビットライン間の干渉雑音を減少させると共に高密度なMTBL方式のDRAMを提供することである。

【0 0 1 1】

【課題を解決するための手段】

本発明によれば、例えば、一列に並ぶ複数のセンスアンプと、その複数のセンスアンプの各々に接続するビットライン対と、そのビットライン対を構成するビットラインの各々に接続するメモリセルを含み、ビットライン対およびメモリセルは、一列に並ぶセンスアンプのN個（N：自然数）ごとに、センスアンプの右側（上側）と左側（下側）に交互に配置されることを特徴とするDRAM回路が提供される。

【0 0 1 2】

本発明によれば、例えば、一列にP個ずつQ列にわたって配置される複数のセンスアンプSA（J、K）と、複数のセンスアンプSA（J、K）の各々に接続するビットライン対と、ビットライン対を構成するビットラインの各々に接続するメモリセルを含み、

センスアンプSA（J、K）は、一方の隣の列のセンスアンプSA（J、K－1）または他方の隣の列のセンスアンプSA（J、K＋1）との間に配置されるビットライン対の各々に接続し、

センスアンプSA（J＋1、K）は、一方の隣の列のセンスアンプSA（J＋1、K＋1）または他方の隣の列のセンスアンプSA（J＋1、K－1）との間に配置されるビットライン対に接続し、

センスアンプSA（J＋3、K）は、一方の隣の列のセンスアンプSA（J＋2、K－1）または他方の隣の列のセンスアンプSA（J＋2、K＋1）との間に配置されるビットライン対の各々に接続し、

P、Qはいずれも3以上の整数、Jは1以上P以下の任意の整数、Kは1以上Q以下の任意の整数である、ことを特徴とするDRAM回路が提供される。

【0 0 1 3】

また、本発明によれば、例えば、一列に並ぶ複数のセンスアンプと、複数のセンスアンプの各々に接続するビットライン対と、ビットライン対を構成するビットラインの各々に接続するメモリセルを含み、ビットライン対およびメモリセルは、一列に並ぶセンスアンプのN個（N：自然数）ごとに、センスアンプの右側（上側）と左側（下側）に交互に配置されるDRAM回路の動作方法であって、

データ読み出しの際に、センスアンプの右側（上側）に配置されるビットライン対およびメモリセルに接続する複数のセンスアンプと、センスアンプの左側（下側）に配置されるビットライン対およびメモリセルに接続する複数のセンスアンプは、異なるタイミングで活性化することを特徴とするDRAM回路の動作方法が提供される。

【0014】

【発明の実施の形態】

以下、本発明の実施の形態（実施例）について、図面を引用しながら以下に詳細に説明する。なお、以下の説明はIBM社のエンベデッド（Embedded）DRAM（eDRAM）をベースとして説明をしているが、本発明は他の汎用的DRAM全てに適用可能であることは言うまでもない。図5は本発明の構成を示す概念図である。図5の構成では、図4の従来の構成（MTBL方式）におけるセンスアンプ(SA)とビットスイッチ(BSW)の重複を排除し、各セルエリア間に一列ずつセンスアンプとビットスイッチ(BSW/SA)を配置している。すなわち、図5の構成では、アレーを横方向にずらして縦積みし、エリアの削減を図っている。なお、この図5の新方式の構成では、上下のアレーでセンスアンプ1個分のずれが生じるが、これは、実際には2048個横に並んだセンスアンプの1個分のずれであり、その損失は無視できる。

【0015】

図5では、横一列に並ぶセンスアンプ(SA)の一つおきに、接続するビットライン対が上下で交互に入れ替わっている。例えば、センスアンプ(SA)10は上側のビットライン対11に接続し、その右隣のセンスアンプ(SA)12は下側のビットライン対13に接続し、さらにその右隣のセンスアンプ(SA)14は上側のビットライン対15に接続する。他も同様である。なお、センスアンプ(SA)の一つおきではなく、2

つ以上の複数個（N個）おきに接続するビットライン対を上下で交互に入れ替えてもよい。

【0016】

図5では、図2と同様なMTBL方式を採用している。したがって、例えばビットライン対11は、途中1個所で交差し、その交差を境にビットラインの間隔が広がっている。ビットライン対15も同様である。また、ビットライン対16は、互いに交差することなく、途中でビットラインの間隔が広がっている。ビットライン対17も同様である。図5の新しいMTBL方式では、同一のセンスアンプに接続するビットラインと隣接するビットラインのうち異なるセンスアンプに接続するビットラインのいずれの場合も、そのビットラインの間隔が交差点前後で変化（広狭）している。よって、隣接するいずれのビットライン間の干渉雑音は減少する。

【0017】

図6は本発明の一実施例の構成図である。この構成は、従来技術であるMTBL方式のビットライン、センスアンプ(SA)、ビットスイッチ(BSW)、セットドライバー (SET DRV) 及び、これらの新たな組み合わせから成る。実際のセンスアンプ(SA)とビットスイッチ(BSW)は、2個（2ビットライン・ペアー分）を一まとまりになった最適化されたレイアウトになっている。これが横方向に、2048個並ぶが、その半分が上のアレーのビットラインに、また半分が下のアレーのビットラインにそれぞれ2つおきに繋がる。セットドライバー20は、ワードラインのステッチ・エリア、または、ローカル・ワードライン・ドライバー・エリアに分散して置かれる。なお、ステッチ・エリアとは、配線用メタルとポリシリコンを接続するエリアを意味する。

【0018】

図6の構成では、セットドライバー20は上下アレーの選択に従って動作し、上下に繋がるセンスアンプ(SA)を、別々に活性化する。すなわち、例えばデータ読み出しの際に、上側のセルエリアに配置されるビットライン対およびメモリセル21、22とそれらに接続するセンスアンプ(SA)25、26と、下側のセルエリアに配置されるビットライン対およびメモリセル23、24とそれらに接続するセンスアンプ

(SA)27、28は、異なるタイミングで活性化される。上下のセルアレイを各々別々に駆動（活性化）する必要があるからである。ビットスイッチ(BSW)は、共通の入力信号で動作する。セットドライバー20とビットスイッチ (BSW)への入力信号は、従来方式と同様に、各アレー横のローカル・コントロール・エリアで作成される。

【0019】

図7は図5の本発明の構成中の一列に並ぶ複数のセンスアンプ列の周りをさらに詳細に示す図である。中央にセンスアンプSA(30)が並び、その左側にビットスイッチBSW(31)がある。ビットスイッチBSW(31)はデータラインDLt、DTcとビットラインBLt、BLcに接続する。セルエリアにおいて、各ビットラインには少なくとも一つ以上のメモリセル32が接続する。セットドライバー33、34はセンスアンプSA(30)列の上下に位置する。なお、DRAM（マクロ）全体では、一列に並ぶ複数のセンスアンプSA(30)は、複数個（M個、Mは任意の自然数）ごとに分割（分離）され、その分離エリアにセットドライバー33、34が配置される。セットドライバー33、34は、一つおき（右側と左側）の複数のセンスアンプSA(30)を別々のタイミングで活性化する。すなわち、セットドライバー33は、左側（上側）に配置されるビットライン（セル）に接続するセンスアンプSA(30)を活性化し、セットドライバー34は、右側（下側）に配置されるビットライン（セル）に接続するセンスアンプSA(30)を活性化する。左右のセルアレイは各々別々に駆動（活性化）する必要があるからである。

【0020】

図8にIBMのeDRAMを基にした16Mbの縦積みマクロの場合のサイズ比較を示す。図8の左が本発明の新方式のアレー構成、中央が従来のTBL方式、右が従来のMTBLでの値である。16Mbマクロの高さで比べた場合、本発明のアレー構成は、従来のTBL方式に比べ、112.2マイクロメートル、従来のMTBL方式に比べ525マイクロメートル（約10%）のエリア削減が可能である。

【0021】

【発明の効果】

本発明によれば、高密度を維持しつつビットライン間の干渉雑音を軽減できる

。また、本発明は従来のセンスアンプとビットスイッチのレイアウトをそのまま流用でき、一部のレイアウトの変更（例えば、センスアンプとセットドライバーのメタル配線の変更）だけで容易に実現できるというメリットがある。

【図面の簡単な説明】

【図 1】

従来のTBL方式の概念図である。

【図 2】

従来のMTBL方式の概念図である。

【図 3】

図 2 の従来のMTBL方式の16Mbマクロとしての構成を示す図である。

【図 4】

図 2 の従来のMTBL方式のマクロとしての構成を示す図である。

【図 5】

本発明の一実施例を示す図である。

【図 6】

本発明の一実施例を示す図である。

【図 7】

図 5 の本発明の構成中の一列のセンスアンプ周りの詳細図である。

【図 8】

16Mbの縦積みマクロの場合のサイズ比較を示す図である。

【符号の説明】

10、12、14、25、26、27、28、30：センスアンプ(SA)

13、15、16、17：ビットライン対

20、33、34：セットドライバー

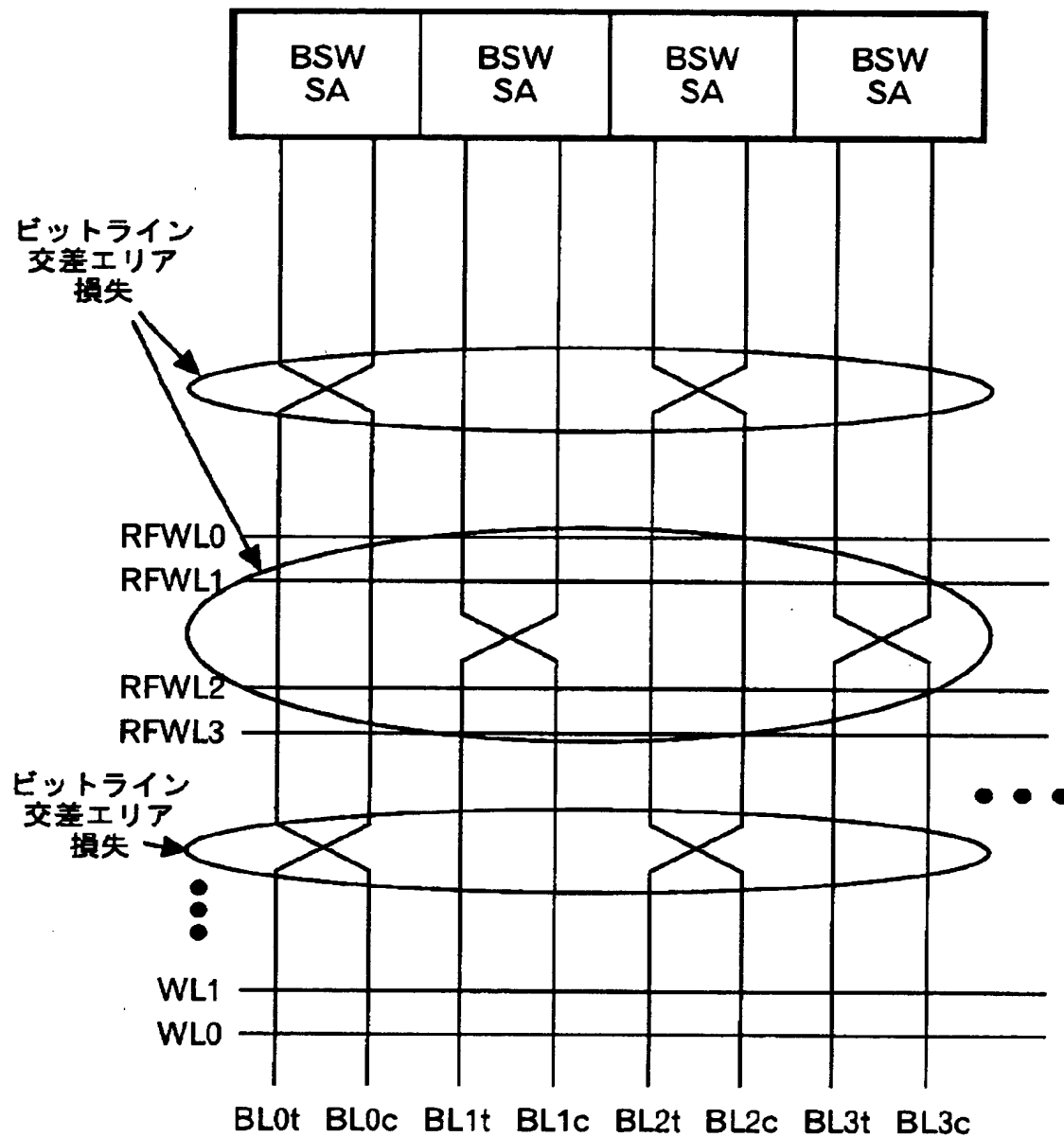
31：ビットスイッチ(BSW)

32：メモリセル

特 2 0 0 2 - 2 7 4 4 3 2

【書類名】 図面

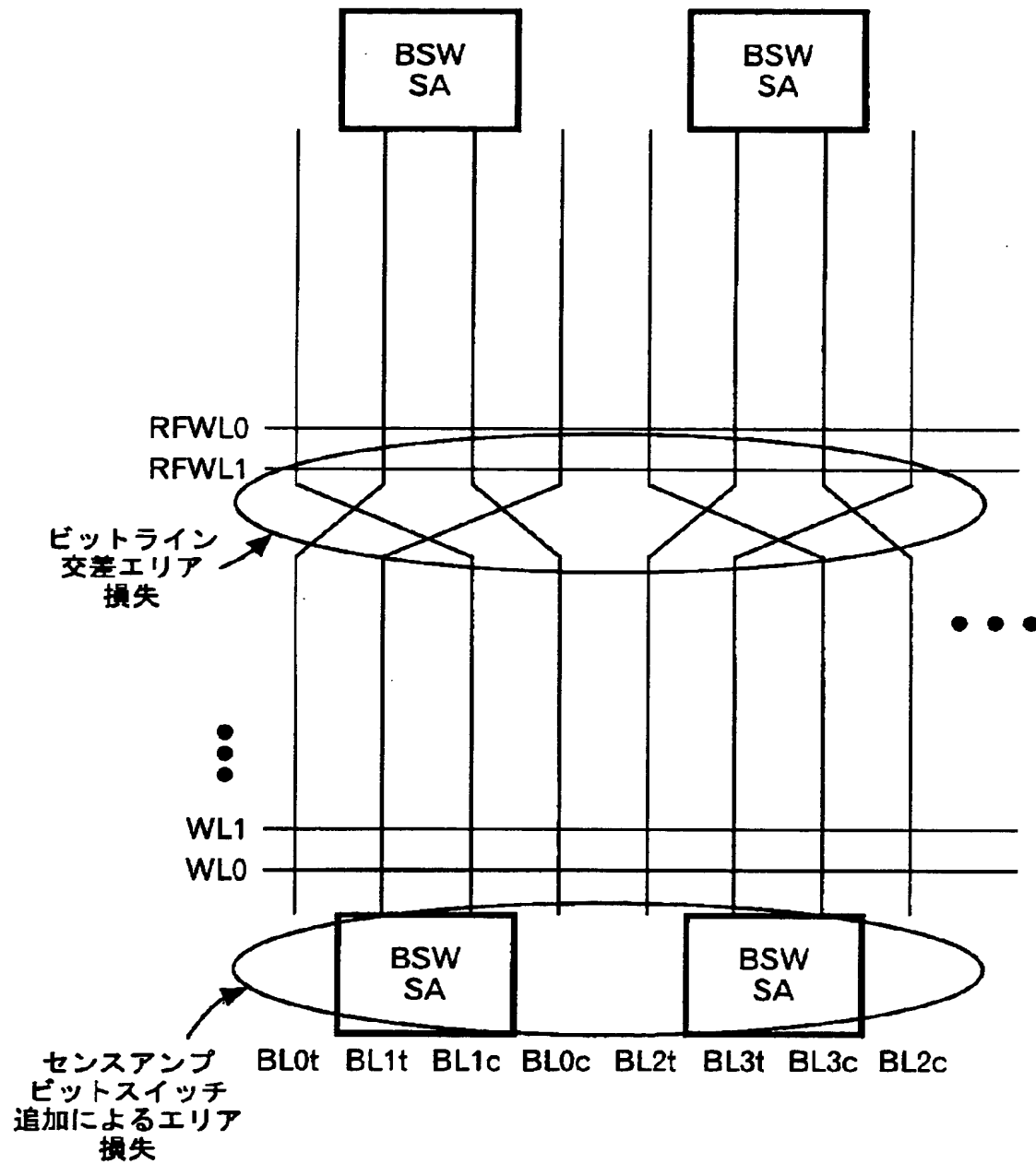
【図 1】



凡例：

BSW : ビットスイッチ
 SA : センスアンプ
 BL : ビットライン
 WL : ワードライン
 RFL: レファレンス・ワードライン

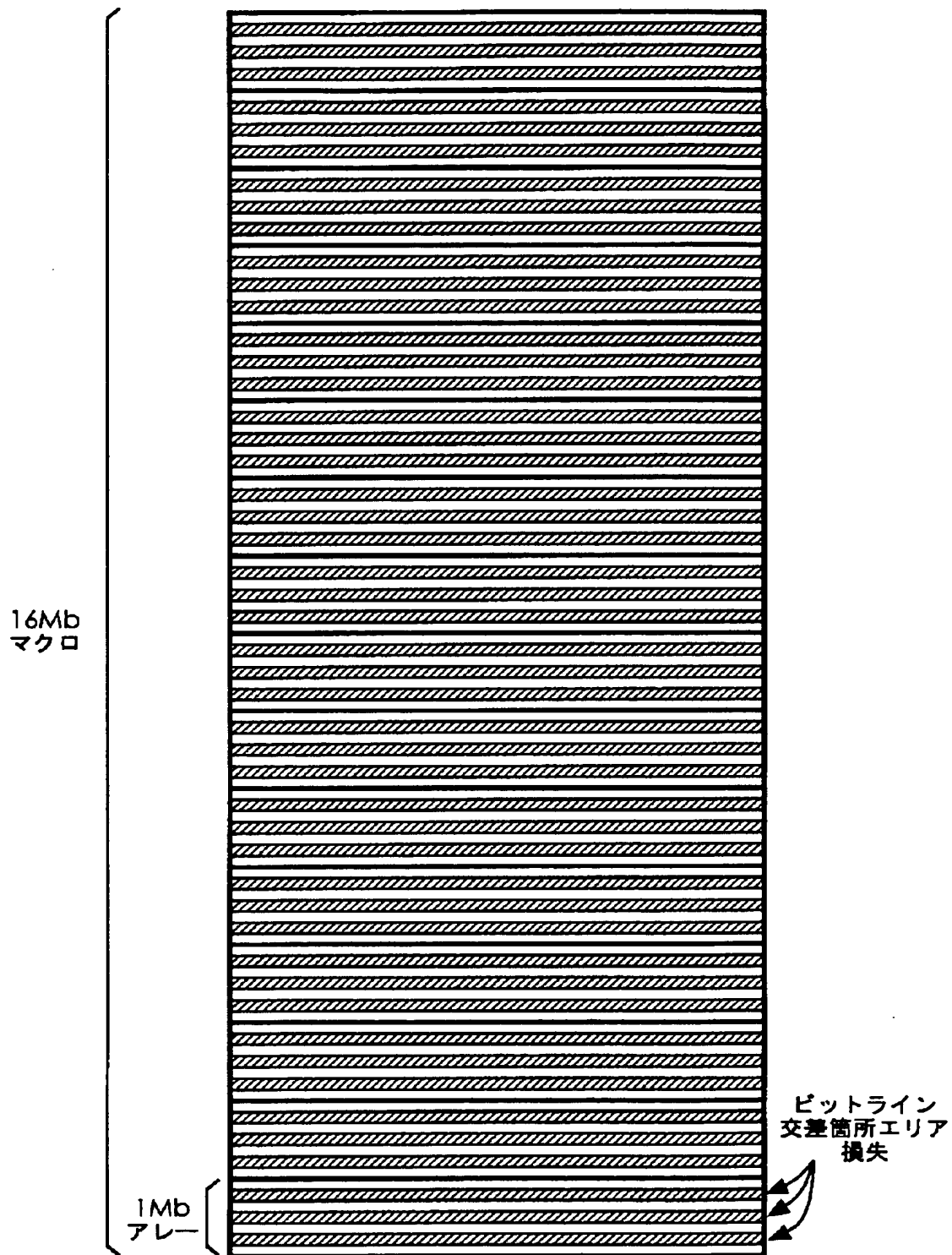
【図 2】



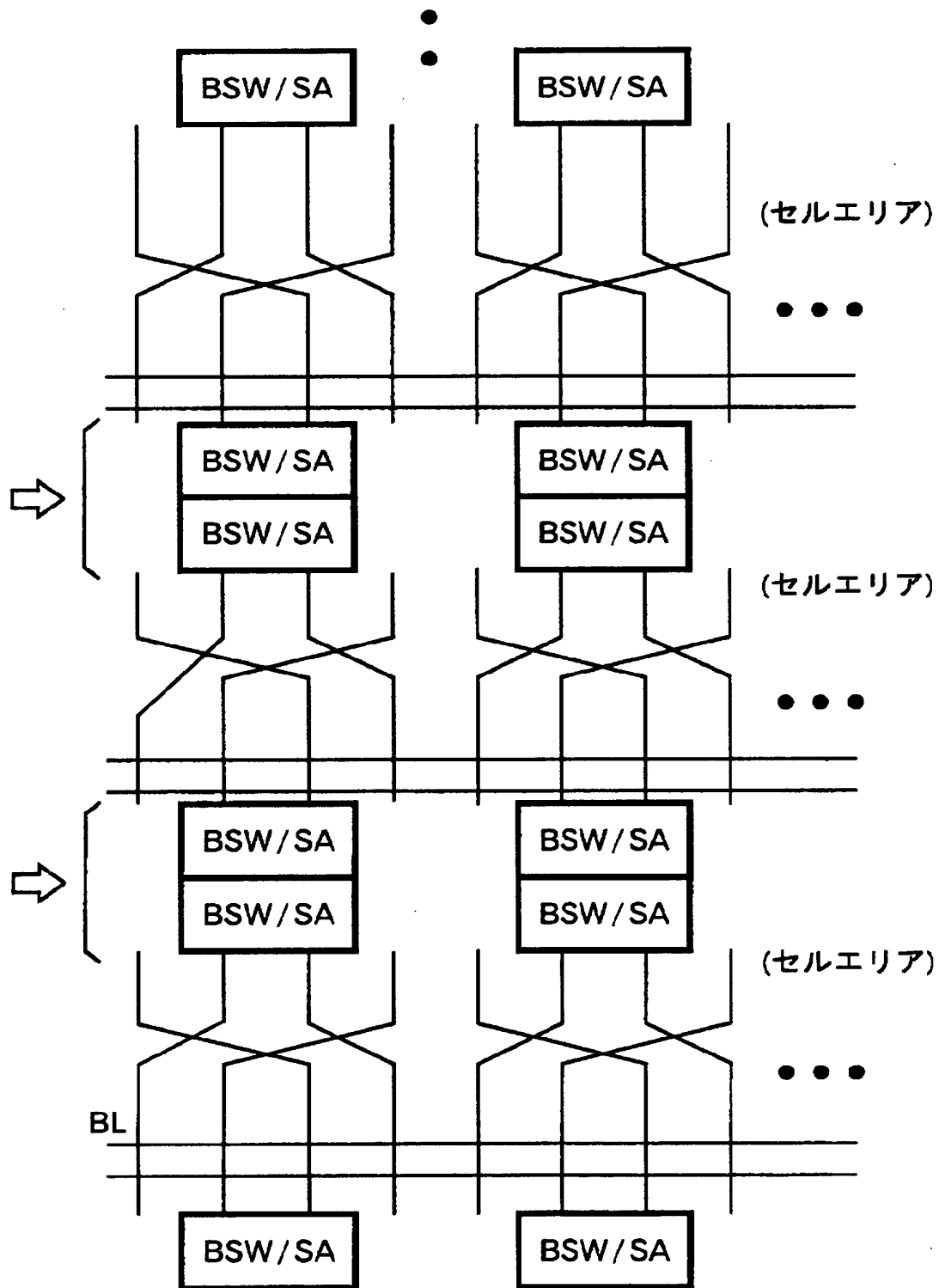
凡例 :

BSW : ビットスイッチ
 SA : センスアンプ
 BL : ビットライン
 WL : ワードライン
 RFLW : レファレンス・ワードライン

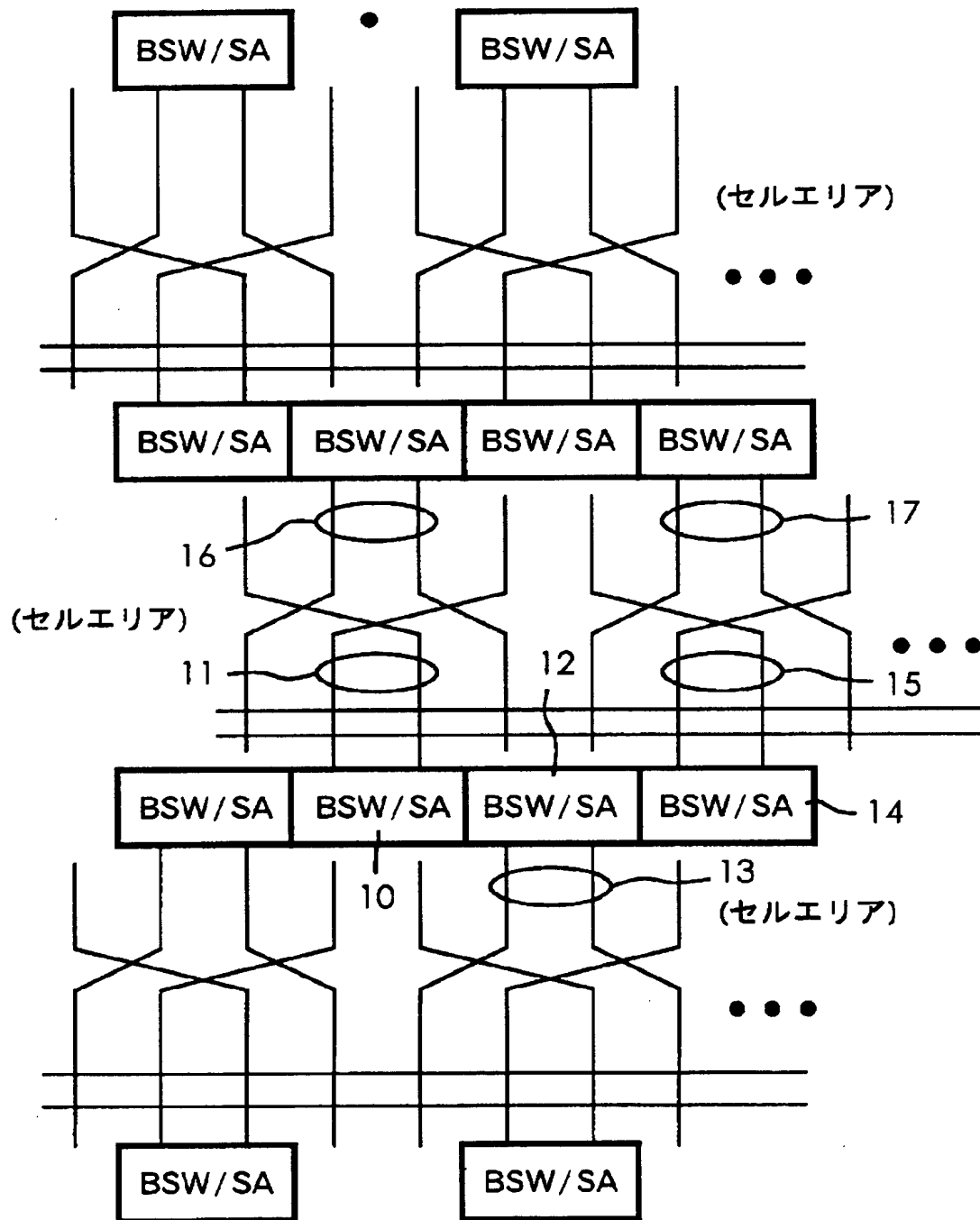
【図 3】



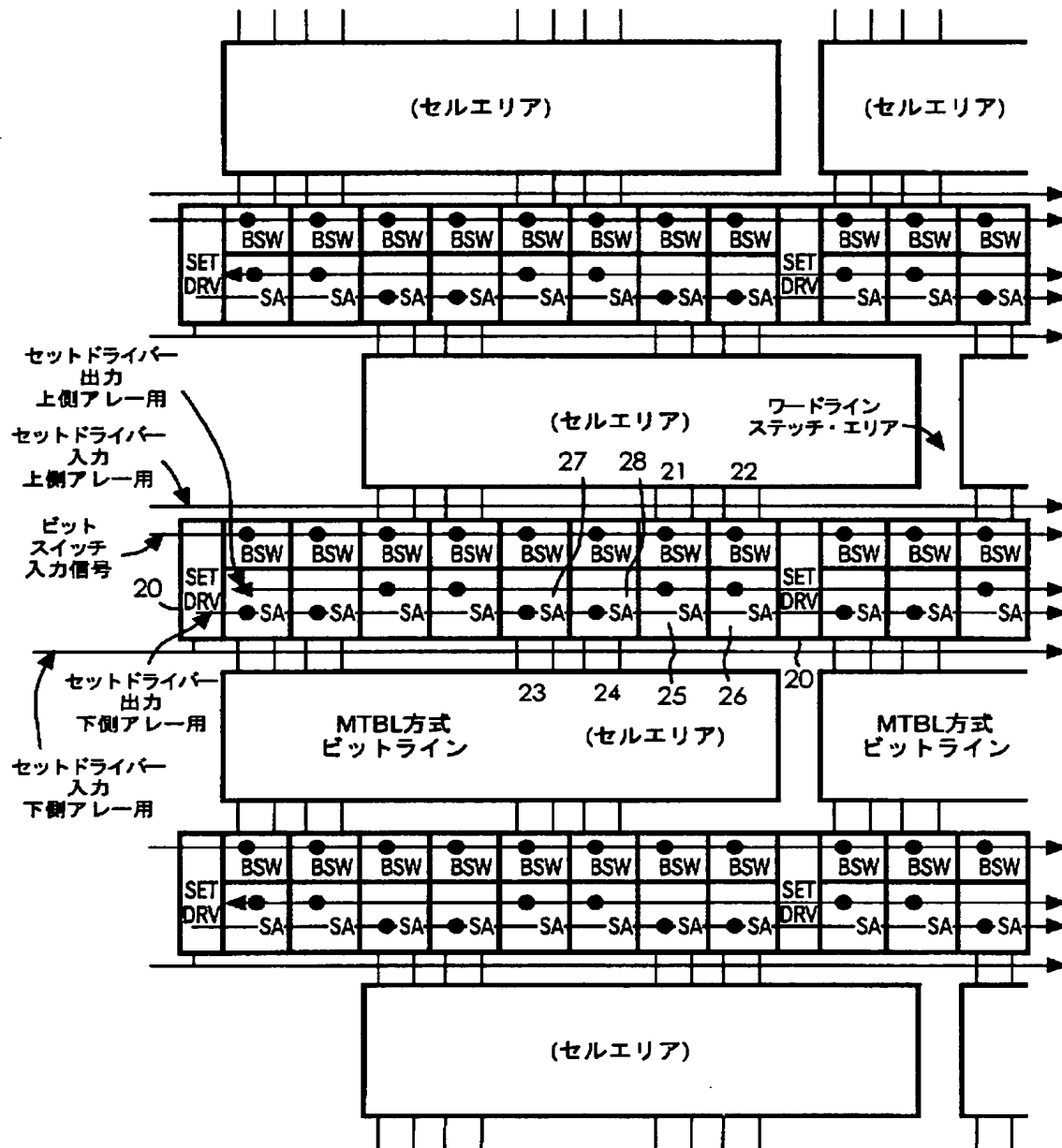
【図 4】



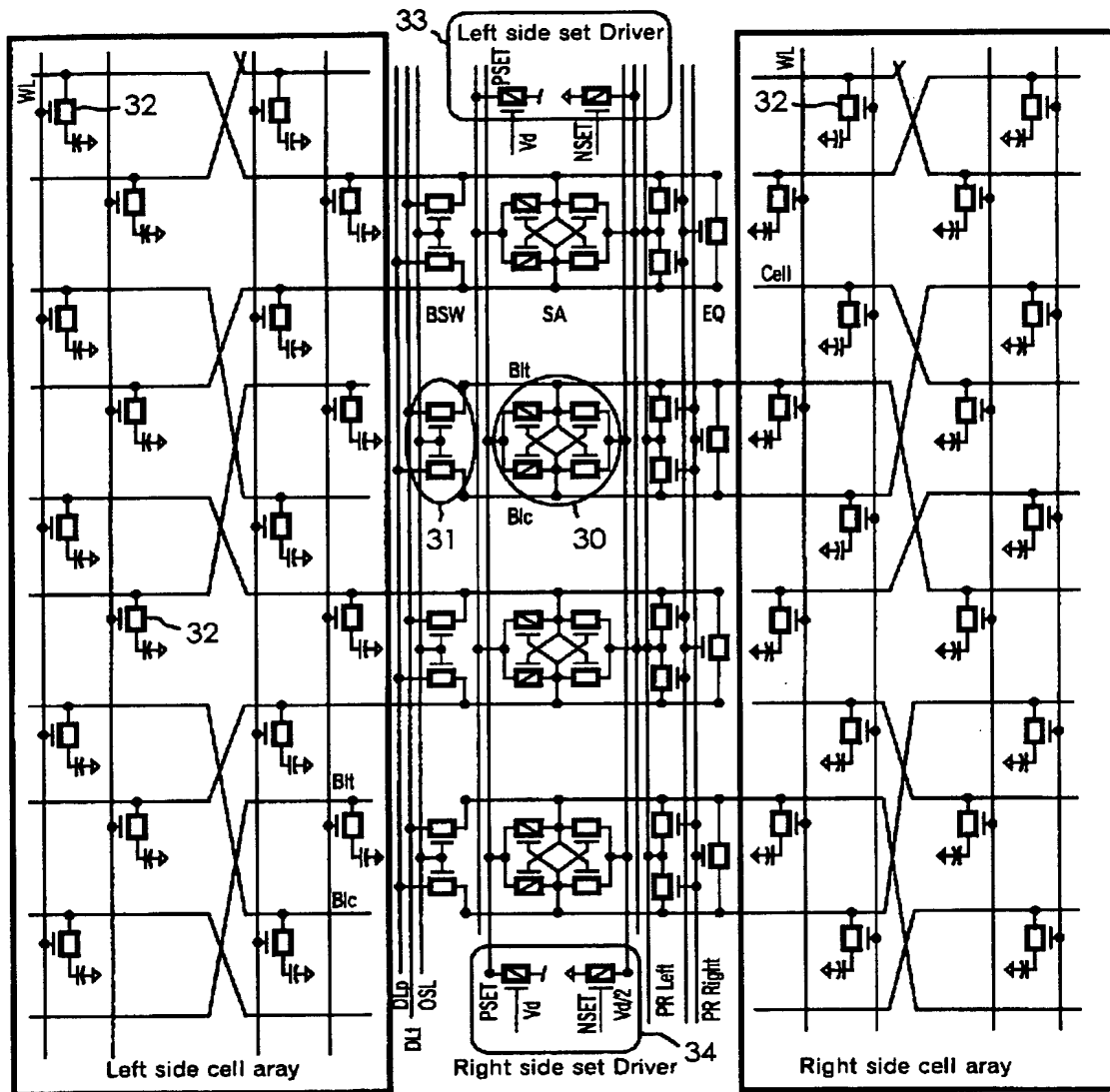
【図 5】



【図 6】



【図 7】



【図 8】

	本発明での アレー構成	従来技術TBL方式での アレー構成	従来技術MTBL方式での アレー構成
アレーあたりの センスアンプと ビットスイッチの高さ	35 マイクロメータ	35 マイクロメータ	70 マイクロメータ
アレーあたりの 実エリア (全ワードライン分の高さ)	239.2 マイクロメータ	239.2 マイクロメータ	239.2 マイクロメータ
アレーあたりの エリア損失部分 (ビットライン交差と R F W L エリアの高さ)	9.2 マイクロメータ	18.4 マイクロメータ	9.2 マイクロメータ
16 Mb マクロの高さ (アレーの16個縦積み)	4569.4 マイクロメータ	4681.6 マイクロメータ	5094.4 マイクロメータ

【書類名】 要約書

【要約】

【課題】 ビットライン間の干渉雑音を減少させると共に高密度なMTBL方式のDRAMを提供する。

【解決手段】 従来のMTBL方式におけるセンスアンプ(SA)とビットスイッチ(BSW)の重複を排除し、各セルエリア間に一列ずつセンスアンプとビットスイッチ(BSW/SA)を配置している。すなわち、アレーを横方向にずらして縦積みし、エリアの削減を図っている。横一列に並ぶセンスアンプ(SA)の一つおきに、接続するビットライン対が上下で交互に入れ替わる。ビットライン対11は、途中1個所で交差し、その交差を境にビットラインの間隔が広がっている。また、ビットライン対16は、互いに交差することなく、途中でビットラインの間隔が広がっている。新しいMTBL方式では、同一のセンスアンプに接続するビットラインと隣接するビットラインのうち異なるセンスアンプに接続するビットラインのいずれの場合も、そのビットラインの間隔が交差点前後で変化(広狭)している。よって、隣接するいずれのビットライン間の干渉雑音も減少する。

【選択図】 図5

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 7 4 4 3 2
受付番号	5 0 2 0 1 4 0 8 8 6 8
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 9 月 2 4 日

＜認定情報・付加情報＞

【提出日】 平成14年 9月20日

出 願 人 履 歴 情 報

識別番号 [390009531]

1. 変更年月日 2002年 6月 3日

[変更理由] 住所変更

住 所 アメリカ合衆国10504、ニューヨーク州 アーモンク ニ
ュー オーチャード ロード

氏 名 インターナショナル・ビジネス・マシーンズ・コーポレーショ
ン